

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-135821

(43) Date of publication of application : 18.05.2001

(51) Int.CI.

H01L 29/786  
H01L 21/265  
H01L 21/76  
H01L 27/12  
H01L 21/336

(21) Application number : 11-313231 (71) Applicant : SONY CORP

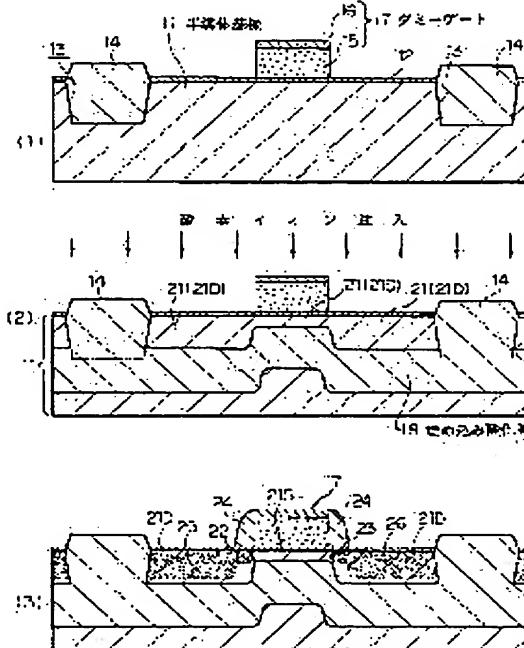
(22) Date of filing : 04.11.1999 (72) Inventor : KOYAMA KAZUHIDE

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a complete depletion type SOI-MOSFET which has an SOI layer thinned directly under a gate electrode and an SOI layer thickened in source and drain parts using an SIMOX method and at the same time and shows a high driving capability of the SOI-MOSFET in a self-aligned manner.

**SOLUTION:** The manufacturing method of a semiconductor device is provided with a process of forming a dummy gate 17 on a semiconductor substrate 11, a process of ion-implanting oxygen in the substrate 11, a process of heat- treating the substrate 11 to form a buried oxide film 18 in the region ion- implanted with the oxygen, a process of removing the gate 17 and a process of forming a gate electrode 44 on the region removed with the gate 17 via a gate insulating film 41.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-135821

(P2001-135821A)

(43)公開日 平成13年5月18日 (2001.5.18)

(51)Int.Cl.\*

H 01 L 29/786  
21/265  
21/76  
27/12  
21/336

識別記号

F I

テ-マコ-ト(参考)

H 01 L 27/12  
29/78  
21/265  
21/76  
29/78  
E 5 F 0 3 2  
6 1 8 D 5 F 1 1 0  
J  
R  
6 1 6 M

審査請求 未請求 請求項の数4 O L (全8頁) 最終頁に続く

(21)出願番号

特願平11-313231

(22)出願日

平成11年11月4日 (1999.11.4)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小山 一英

東京都品川区北品川6丁目7番35号 ソニー  
株式会社内

(74)代理人 100086298

弁理士 船橋 國則

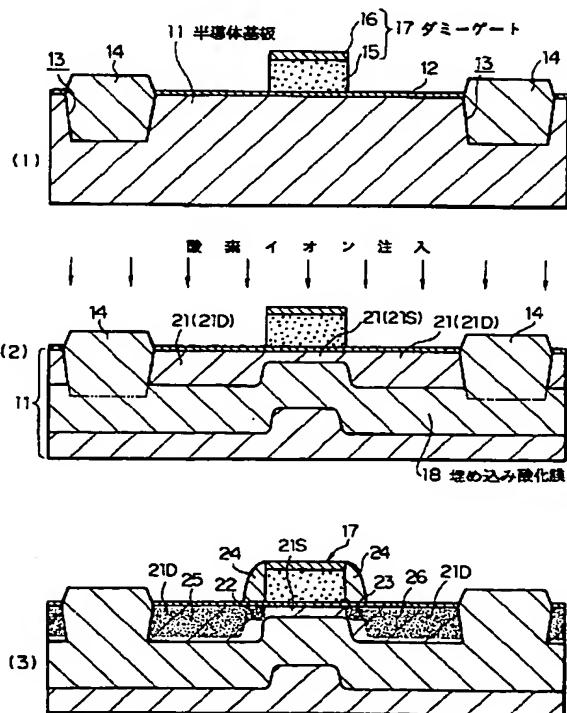
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 SIMOX法を用いて、ゲート電極直下のSOI層は薄く、ソース・ドレイン部のSOI層は厚く形成するとともに、自己整合的に駆動能力の高い完全空乏型SOI-MOSFETの作製を図る。

【解決手段】 半導体基板11上にダミーゲート17を形成する工程と、半導体基板11に酸素をイオン注入する工程と、半導体基板11に熱処理を施して酸素をイオン注入した領域に埋め込み酸化膜18を形成する工程と、ダミーゲート17を除去する工程と、ダミーゲート17を除去した領域にゲート絶縁膜41を介してゲート電極44を形成する工程とを備えた半導体装置の製造方法である。



## 【特許請求の範囲】

【請求項1】 半導体基板上にダミーゲートを形成する工程と、前記半導体基板に酸素をイオン注入する工程と、前記半導体基板に熱処理を施して前記酸素をイオン注入した領域に埋め込み酸化膜を形成する工程と、前記ダミーゲートを除去する工程と、前記ダミーゲートを除去した領域にゲート絶縁膜を介してゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記ダミーゲートをマスクに用いて前記半導体基板にソース・ドレイン部となる拡散層を形成する工程を備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記半導体基板に酸素をイオン注入した後で前記ダミーゲートを除去する前に、前記半導体基板上に前記ダミーゲートを覆う絶縁膜を形成する工程と、前記絶縁膜より前記ダミーゲート上部を露出させる工程とを備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記半導体基板に酸素をイオン注入した後で前記半導体基板上に絶縁膜を形成する前に、前記ダミーゲートをマスクに用いて前記半導体基板にソース・ドレイン部となる拡散層を形成する工程を備えたことを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、詳しくはSOI (SOI : Siliconon insulatorの略) 構造を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 MOSトランジスタLSIの高集積化、高性能化にともない、SOI構造が注目されている。この構造では絶縁膜（例えば酸化シリコン膜）によって完全な素子間分離を行うため、ソフトエラーやラッチアップが抑制され、集積度の高いLSIにおいても高い信頼性が得られる。また、拡散層の接合容量が低減されるため、スイッチングにともなう充放電が少なくなり、高速、低消費電力化に対しても有利になる。

【0003】 一方、このSOI型MOSFET (FET : Field Effect Transistorの略) には大別して二つの動作モードがある。一つはゲート電極直下のボディ領域に誘起された空乏層がボディ領域の底面、すなわち埋め込み酸化膜との界面にまで到達する完全空乏型 (Full Depletion) SOI、もう一つは空乏層がボディ領域の底面まで到達せず、中性領域が残る部分空乏型 (Partial Depletion) SOIがある。

【0004】 前者の完全空乏型SOI-MOSFETを作製する場合、中性領域が残らないように、非常に薄いSOI層を均一に形成しなければならぬ、製造プロセス上の難易度は増す。しかし動作特性上、サブスレッシュホールド特性 (S値) が改善されるという大きな利点がある。

【0005】 完全空乏型SOI-MOSFETでは、ゲート直下の空乏層の厚さが埋め込み酸化膜によって制限されるため、空乏電荷量が部分空乏型SOI-MOSFETよりも大幅に減少し、代わってドレイン電流に寄与する可動電荷が増える。その結果、急峻なS特性が得られるが、0.13μm世代以降で完全空乏型SOI-MOSFETを形成するためには、SOI膜厚を20nm程度以下に抑える必要がある。

【0006】 すなわち、急峻なS特性が得られると、オフリード電流を抑制しながらしきい値電圧を下げることができる。その結果、低い動作電圧でもドレイン電流が確保され、例えば1V以下で動作する（しきい値電圧も0.3V以下）ような、極めて消費電力の少ないデバイスの作製が可能となる。

【0007】 したがって、今後、高集積化、高性能化で、かつ超低消費電力デバイスのLSIを製造する場合には、完全空乏型SOI-MOSFETを安定して作製するために、非常に薄い（例えば20nm以下の厚さ）SOI層を良好な膜質で制御性良く形成できるプロセスの確立が重要になってくる。

【0008】 上記SOI層の形成方法は、SIMOX (Separation by IMplanted OXygen) 法と張り合わせ法とに大別できる。張り合わせ法は、SOI層の結晶性は良いが、張り合わせた後、研削、研磨等を組み合わせてSOI層を所望の膜厚に制御しなければならぬ、膜厚均一性が良くない。一方、SIMOX法は、シリコン基板全面に対して深く高濃度の酸素をイオン注入し、熱処理によって埋め込み酸化膜を形成する方法であり、SOI層の膜厚均一性に優れ、現在最も実績のあるSOI基板の形成方法となっている。

## 【0009】

【発明が解決しようとする課題】 しかしながら、SIMOX法によって作製されたSOI基板を用いたSOI型半導体装置の製造プロセスにおいて、薄いSOI層を形成して完全空乏型SOI-MOSFETを作製する際に、以下のような課題が生じる。

【0010】 上述したように、完全空乏型SOI-MOSFETを作製するためには、例えば20nm程度の非常に薄いSOI層を形成する必要がある。しかしながら、基板全面に酸素のイオン注入を施す通常のSIMOX法では、ゲート下のボディ部のみならず、ソース・ドレイン部やエクステンション部までが薄膜化して、シート抵抗が上昇するため、トランジスタ動作時の寄生抵抗が大きくなり、駆動能力が下がる。

【0011】これに対して、少なくともソース・ドレイン部についてはシリサイド化することで低抵抗化が図れるが、それでもSOI層の膜厚が20nmを下回ると、それよりも薄く均一で抵抗の低いシリサイド層を形成することが困難になる。もしくは、図3の(1)に示すように、ソース・ドレイン部121、122の全てをシリサイド化してしまうと、シリサイド/エクステンション界面123、124のコンタクト抵抗が高くなるため、トランジスタ120の駆動能力が低下するという問題があった。

【0012】この対策として、選択的にソース・ドレイン部にシリコン層を形成して厚くする選択エピタキシャル技術も提案されているが、まだ十分に安定したプロセスは確立されていない。

【0013】逆に、図3の(2)に示すように、SOI層111の全体を厚めに作製し、後にゲート131近傍のSOI層111(111G)のみを選択酸化とエッチングによって薄く形成するRecessed Channelプロセスも提案されている。しかしながら、選択酸化時のストレスによってソース・ドレイン121、122間リードが増加する問題、およびRecessed Channel部とゲート電極132のリソグラフィー工程における合わせずれの問題があった。

#### 【0014】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法である。すなわち、半導体基板上にダミーゲートを形成する工程と、前記半導体基板に酸素をイオン注入する工程と、前記半導体基板に熱処理を施して前記酸素をイオン注入した領域に埋め込み酸化膜を形成する工程と、前記ダミーゲートを除去する工程と、前記ダミーゲートを除去した領域にゲート絶縁膜を介してゲート電極を形成する工程とを備えている半導体装置の製造方法である。

【0015】また、前記ダミーゲートをマスクに用いて前記半導体基板にソース・ドレイン部となる拡散層を形成する工程を備えていることが望ましい。さらに、前記半導体基板に酸素をイオン注入した後で前記ダミーゲートを除去する前に、前記半導体基板上に前記ダミーゲートを覆う絶縁膜を形成する工程と、前記絶縁膜より前記ダミーゲート上部を露出させる工程とを備えていることが望ましい。

【0016】上記半導体装置の製造方法では、半導体基板上にダミーゲートを形成した後、半導体基板に酸素をイオン注入してから、半導体基板に熱処理を施し、酸素をイオン注入した領域に埋め込み酸化膜を形成することから、埋め込み酸化膜は、ダミーゲートが形成された領域直下で浅く形成され、それ以外の領域で深く形成される。すなわち、ダミーゲートを除去してゲート電極が形成される領域直下のSOI活性層がゲート電極が形成される以外のSOI活性層よりも薄く形成されることにな

る。

【0017】また、ダミーゲートをマスクに用いて半導体基板にソース・ドレイン部となる拡散層を形成する工程を備えていることにより、厚く形成されたSOI活性層にソース・ドレイン部が自己整合的に形成されることになる。さらに、半導体基板に酸素をイオン注入した後でダミーゲートを除去する前に、半導体基板上にダミーゲートを覆う絶縁膜を形成する工程と、絶縁膜よりダミーゲート上部を露出させる工程とを備えていることにより、薄く形成されたSOI活性層に対して自己整合的にゲート電極が形成される。

#### 【0018】

【発明の実施の形態】本発明の半導体装置の製造方法に係る実施の形態の一例を、図1および図2の製造工程断面図によって説明する。

【0019】図1の(1)に示すように、例えば熱酸化によって半導体基板(例えはシリコン基板)11の表面に酸化シリコン膜12を例えれば10nmの厚さに形成した後、化学的機械研磨の保護膜となる窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜(図示せず)を例えれば100nmの厚さに、低圧CVD法によって成膜する。上記窒化シリコン膜の成膜条件の一例としては、プロセスガスに、ジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)〔供給流量を例えれば50cm<sup>3</sup>/minとする〕とアンモニア(NH<sub>3</sub>)〔供給流量を例えれば200cm<sup>3</sup>/minとする〕と窒素(N<sub>2</sub>)〔供給流量を例えれば200cm<sup>3</sup>/minとする〕とを用い、成膜雰囲気の圧力を70Pa、基板加熱温度を760°Cに設定した。

【0020】その後、リソグラフィー技術とエッチング技術とを用いて、素子分離領域が形成される領域上の上記窒化シリコン膜を除去し、さらにエッチングによって半導体基板11に例えれば150nmの深さの溝13を形成する。上記窒化シリコン膜のエッチング条件の一例としては、プロセスガスにテトラフルオロメタン(CF<sub>4</sub>)〔供給流量を例えれば100cm<sup>3</sup>/minとする〕とアルゴン(Argon)〔供給流量を例えれば900cm<sup>3</sup>/minとする〕とを用い、エッチング雰囲気の圧力を105Pa、基板温度を10°C、エッチング装置のRFパワーを600Wに設定した。また、半導体基板11のエッチング条件の一例としては、プロセスガスに、オクタフルオロシクロブタン(C<sub>4</sub>F<sub>8</sub>)〔供給流量を例えれば5cm<sup>3</sup>/minとする〕と酸素(O<sub>2</sub>)〔供給流量を例えれば4cm<sup>3</sup>/minとする〕とアルゴン(Argon)〔供給流量を例えれば100cm<sup>3</sup>/minとする〕とを用い、エッチング雰囲気の圧力を5.3Pa、基板温度を10°C、エッチング装置のRFパワーを400Wに設定した。

【0021】次いで、上記溝13の内面を10nm程度の厚さに酸化した後、化学的気相成長法によって、酸化シリコン(SiO<sub>2</sub>)膜を例えれば400nmの厚さに形

成し、上記溝13を埋め込む。上記酸化シリコン膜の成膜条件の一例としては、プロセスガスに、モノシラン( $\text{SiH}_4$ )〔供給流量を例えれば $250\text{ cm}^3/\text{min}$ とする〕と酸素( $\text{O}_2$ )〔供給流量を例えれば $250\text{ cm}^3/\text{min}$ とする〕と窒素( $\text{N}_2$ )〔供給流量を例えれば $100\text{ cm}^3/\text{min}$ とする〕とを用い、成膜雰囲気の圧力を $13.3\text{ Pa}$ 、基板加熱温度を $520^\circ\text{C}$ に設定した。

【0022】その後、アニーリングを行う。このアニーリング条件の一例としては、アニール温度を $1000^\circ\text{C}$ 、アニール時間を30分に設定した。

【0023】次に、化学的機械研磨によって、上記溝13内に埋め込まれた酸化シリコン膜以外の酸化シリコン膜を除去する。その結果、溝13内に上記酸化シリコン膜が残って素子分離領域14が形成される。この化学的機械研磨条件の一例としては、研磨パッドに不織布と独立発泡体との積層構造のものを用い、スラリーにヒュームドシリカを含むアンモニア水をベースとしたものを用い、スラリーの供給流量を $100\text{ cm}^3/\text{min}$ 、研磨雰囲気の温度を $25^\circ\text{C} \sim 30^\circ\text{C}$ 、研磨圧力を $2.9, 4\text{ kPa}$ 、研磨定盤の回転数を $30\text{ rpm}$ 、研磨ヘッドの回転数を $30\text{ rpm}$ に設定した。

【0024】次いで熱リン酸を用いたウエット処理によって、上記窒化シリコン膜を除去する。そして、半導体基板11上にダミーゲートを形成するための膜を、例えば低圧CVD法によって、多結晶シリコン膜15を $90\text{ nm}$ の厚さに形成した後、酸化シリコン( $\text{SiO}_2$ )膜16を $30\text{ nm}$ の厚さに形成する。上記多結晶シリコン膜15の成膜条件の一例としては、プロセスガスに、モノシラン( $\text{SiH}_4$ )〔供給流量を例えれば $100\text{ cm}^3/\text{min}$ とする〕と窒素( $\text{N}_2$ )〔供給流量を例えれば $200\text{ cm}^3/\text{min}$ とする〕とヘリウム( $\text{He}$ )〔供給流量を例えれば $400\text{ cm}^3/\text{min}$ とする〕とを用い、成膜雰囲気の圧力を $70\text{ Pa}$ 、基板加熱温度を $610^\circ\text{C}$ に設定した。上記酸化シリコン膜16の成膜条件の一例としては、前記素子分離領域14を形成した酸化シリコン膜の成膜条件と同様である。

【0025】次いで、リソグラフィー技術とエッチング技術とを用いて、上記酸化シリコン膜16と多結晶シリコン膜15とを加工して、ダミーゲート17を形成する。上記酸化シリコン膜16のエッチング条件の一例としては、プロセスガスに、オクタフルオロシクロブタン( $\text{C}_4\text{F}_8$ )〔供給流量を例えれば $10\text{ cm}^3/\text{min}$ とする〕と一酸化炭素( $\text{CO}$ )〔供給流量を例えれば $100\text{ cm}^3/\text{min}$ とする〕とアルゴン( $\text{Ar}$ )〔供給流量を例えれば $200\text{ cm}^3/\text{min}$ とする〕とを用い、エッチング雰囲気の圧力を $6\text{ Pa}$ 、基板温度を $20^\circ\text{C}$ 、エッチング装置のRFパワーを $1.60\text{ kW}$ に設定した。また、上記多結晶シリコン膜15のエッチング条件の一例としては、プロセスガスに、トリクロロトリフルオロエ

タン( $\text{C}_2\text{Cl}_3\text{F}_3$ )〔供給流量を例えれば $60\text{ cm}^3/\text{min}$ とする〕とサルファーへキサフルオライド( $\text{SF}_6$ )〔供給流量を例えれば $10\text{ cm}^3/\text{min}$ とする〕とを用い、エッチング雰囲気の圧力を $1.3\text{ Pa}$ 、基板温度を $20^\circ\text{C}$ 、エッチング装置のRFパワーを $150\text{ W}$ に設定した。

【0026】次に、図1の(2)に示すように、上記ダミーゲート17をマスクにして上記半導体基板11に酸素をイオン注入する。このイオン注入のプロセス条件の一例としては、酸素イオン( $\text{O}^+$ )の注入エネルギーを $180\text{ keV}$ 、ドーズ量を $1 \times 10^{18}\text{ ions/cm}^2$ 、基板温度を $550^\circ\text{C}$ に設定した。このように、酸素イオンの注入エネルギーが高いため、ダミーゲート17が形成されている領域下方の半導体基板11にも酸素がイオン注入されるが、ダミーゲート17が形成されている領域下方では、ダミーゲート17が形成されていない領域よりも浅く酸素がイオン注入される。

【0027】その後、半導体基板11に熱処理を施すことにより酸素濃度の高い領域が酸化され、半導体基板11中に埋め込み酸化膜18が形成される。このようにして、ダミーゲート17の直下では浅いSOI活性層21(21S)が形成され、このダミーゲート17の直下以外の領域では上記SOI活性層21Sよりも深いSOI活性層21(21D)が形成される。上記熱処理条件の一例としては、アニール雰囲気をアルゴン( $\text{Ar}$ )とし、アニール温度を $1300^\circ\text{C}$ 、アニール時間を2時間に設定した。なお、上記埋め込み酸化膜18は上記素子分離領域14に接続する状態に形成される。

【0028】次いで図1の(3)に示すように、ダミーゲート17をマスクにしてエクステンション部22、23にイオン注入を行う。その後、化学的気相成長法によってダミーゲート17を覆う状態に例えれば酸化シリコンからなる絶縁膜を形成した後、この絶縁膜を異方性エッチングによりエッチバックして、上記ダミーゲート17の側壁にこの絶縁膜でサイドウォール24を形成する。その後、上記ダミーゲート17と上記サイドウォール24とをマスクにしてイオン注入を行い、半導体基板11の深いSOI活性層21Dにソース・ドレイン部25、26を形成する。上記エクステンション部22、23を形成するイオン注入およびソース・ドレイン部25、26を形成するイオン注入は、MOSFETの形成条件に準じ、ダミーゲート17下部のSOI活性層21Sに不純物がイオン注入されないような注入エネルギーに設定して行う。

【0029】その後、ソース・ドレイン表面に残っている酸化シリコン膜を除去した後、例えればスパッタリングによって、上記ソース・ドレイン部25、26上にシリサイド化される金属膜として例えばコバルト膜を例えれば $10\text{ nm}$ の厚さに形成する。このスパッタリング条件の一例としては、コバルトターゲットを用い、プロセスガ

スにアルゴン (A r) [供給領域を例えれば 100 cm<sup>3</sup> / min とする] を用い、スパッタリング雰囲気の圧力を 0.4 Pa、スパッタリング装置の DC パワーを 0.8 kW、基板加熱温度を 450°C に設定した。

【0030】次いで熱処理 (例えば R T A : Rapid Thermal Annealing) によって、ソース・ドレイン部 25、26 上に成膜されたコバルト膜のみをシリサイド化する。その後、未反応なコバルト膜を例えれば硫酸過水によって選択的に除去する。このようにして、図 2 の (4) に示すように、ソース・ドレイン部 25、26 上にコバルトシリサイドからなるシリサイド層 27、28 が形成される。上記熱処理 (R T A) 条件の一例としては、熱処理雰囲気を窒素 (N<sub>2</sub>) が 100% の雰囲気もしくは窒素 (N<sub>2</sub>) とアルゴン (A r) との混合ガス雰囲気とし、熱処理雰囲気の圧力を大気圧とし、基板加熱温度を 550°C、加熱時間を 30 秒間とした。

【0031】さらに、熱処理 (R T A) を行うことによって、上記シリサイド層 27、28 を十分に低抵抗化した。この熱処理 (R T A) 条件の一例としては、熱処理雰囲気を窒素 (N<sub>2</sub>) が 100% の雰囲気もしくは窒素 (N<sub>2</sub>) とアルゴン (A r) との混合ガス雰囲気とし、熱処理雰囲気の圧力を大気圧とし、基板加熱温度を 800°C、加熱時間を 30 秒間とした。

【0032】なお、コバルトシリサイド層 27、28 は、コバルト膜のおよそ 3.64 倍の厚さのシリコン層を消費して形成される。したがって、10 nm のコバルト膜に対してソース・ドレイン部 25、26 の SOI 活性層 21D は、および 36.4 nm の厚さ分だけ消失することになる。シリサイド層 27、28 とシリコンとのコンタクト抵抗を下げるためには、シリサイド層 27、28 の下部に SOI 活性層 21D がある程度残っている必要があり、ゲート酸化や犠牲酸化を考慮した場合、ソース・ドレイン部 25、26 が形成される SOI 活性層 21D の膜厚は 40 nm 以上必要となる。したがって、ゲート直下のボディ部での SOI 活性層 21S の膜厚を 20 nm 以下とするには、本発明の技術が必要となる。

【0033】次に、図 2 の (5) に示すように、化学的気相成長法によってダミーゲート 17 [前記図 1 の (3) 参照] およびサイドウォール 24 を覆う状態に例えれば酸化シリコンからなる絶縁膜 31 を形成した後、化学的機械研磨によってその絶縁膜 31 を研磨して上記ダミーゲート 17 の上面を露出させる。なお、絶縁膜 31 の成膜条件は、前記素子分離領域 14 を形成する酸化シリコン膜の成膜条件と同様であり、上記化学的機械研磨条件は、前記素子分離領域 14 を形成する際の絶縁膜の化学的機械研磨条件と同様である。

【0034】その後、例えればウエットエッチングもしくはドライエッチングによってダミーゲート 17 [前記図 1 の (3) 参照] を除去する。その結果、溝 32 が形成される。またダミーゲート 17 のドライエッチング条

件は、前記図 1 の (1) によって説明した酸化シリコン膜 16 と多結晶シリコン膜 15 とをエッチング加工してダミーゲート 17 を形成するエッチング条件と同様である。

【0035】次いで、溝 32 の底部の酸化シリコン膜 12 を例えればウエットエッチングにより除去する。

【0036】そして図 2 の (6) に示すように、溝 32 の底部の半導体基板 11 (SOI 活性層 21S) 上にゲート絶縁膜 41 を形成した後、例えれば化学的気相成長法によって、上記溝 32 内にゲート電極材料を埋め込む。このゲート電極材料は、例えれば下層に窒化チタン (TiN) 膜 42 を形成し、上層にタンクステン (W) 膜 43 を形成した積層膜とする。なお、ゲート電極材料は特に限定されることはないが、コバルトシリサイド (CoSi<sub>2</sub>) の凝集が発生しないように、850°C 以下の温度で行うことが望ましい。

【0037】上記窒化チタン膜 42 の成膜条件の一例としては、プロセスガスに、四塩化チタン (TiCl<sub>4</sub>) [供給流量を例えれば 20 cm<sup>3</sup> / min とする] と水素 (H<sub>2</sub>) [供給流量を例えれば 26 cm<sup>3</sup> / min とする] と窒素 (N<sub>2</sub>) [供給流量を例えれば 8 cm<sup>3</sup> / min とする] とアルゴン (A r) [供給流量を例えれば 170 cm<sup>3</sup> / min とする] を用い、成膜雰囲気の圧力を 0.23 Pa、CVD 装置のマイクロ波パワーを 2.80 kW、基板加熱温度を 460°C に設定した。またタンクステン (プランケットタンクステン) 膜 43 の成膜条件の一例としては、プロセスガスに、六フッ化タンクステン (WF<sub>6</sub>) [供給流量を例えれば 80 cm<sup>3</sup> / min とする] と水素 (H<sub>2</sub>) [供給流量を例えれば 500 cm<sup>3</sup> / min とする] とアルゴン (A r) [供給流量を例えれば 2.8 L / min とする] を用い、成膜雰囲気の圧力を 10.64 kPa、基板加熱温度を 400°C に設定した。

【0038】その後、化学的機械研磨もしくはエッチバックによって、溝 32 以外のゲート電極材料を除去し、溝 32 の内部に上記窒化チタン膜 42 と上記タンクステン膜 43 とでゲート電極 44 を形成する。上記タンクステンのエッチバック条件の一例としては、エッチングガスに、サルファーエキサフルオライド (SF<sub>6</sub>) [供給流量を例えれば 110 cm<sup>3</sup> / min とする] とアルゴン (A r) [供給流量を例えれば 90 cm<sup>3</sup> / min とする] を用い、エッチング雰囲気の圧力を 35 Pa、エッチング装置の RF パワーを 275 W に設定した。

【0039】以上の工程により、ゲート電極 44 の直下に位置する埋め込み酸化膜 18 が、ソース・ドレイン部 25、26 より浅い領域に形成されるため、ゲート電極 44 の直下のボディ部の SOI 活性層 21S を、ソース・ドレイン部 25、26 よりも自己整合的に薄く形成することができる。その結果、ソース・ドレイン部 25、26 やエクステンション部 22、23 の抵抗上昇を抑え

つつ、フルデプレッション動作のトランジスタの形成が可能になる。

【0040】上記説明した実施の形態において、上記半導体基板11には一例としてシリコン基板を用いたが、シリコン基板以外の各種半導体基板を用いることが可能である。

【0041】上記ダミーゲート17には、ポリシリコン、アモルファスシリコン等のシリコン、酸化シリコン( $\text{SiO}_2$ )、窒化シリコン( $\text{SiN}$ )、酸化窒化シリコン( $\text{SiON}$ )、酸化フッ化シリコン( $\text{SiOF}$ )等のシリコンの化合物、もしくはこれらを組み合わせた膜を用いることができる。

【0042】上記ゲート絶縁膜41には、酸化シリコン( $\text{SiO}_2$ )、窒化シリコン( $\text{SiN}$ )、酸化窒化シリコン( $\text{SiON}$ )、酸化フッ化シリコン( $\text{SiOF}$ )等のシリコンの化合物である絶縁材料、もしくは酸化タンタル( $\text{Ta}_2\text{O}_5$ )等の高誘電率膜、もしくはこれらの積層膜を用いることができる。

【0043】上記ゲート電極44には、不純物を含むシリコン、高融点金属、金属シリサイド、および金属窒化物のうちの1種もしくはこれらのうちの複数種からなる積層膜を用いることができる。上記不純物を含むシリコンには、例えば、ホウ素(B)、ヒ素(A<sub>3</sub>)、リン(P)等の不純物を含む多結晶シリコン、もしくはホウ素(B)、ヒ素(A<sub>3</sub>)、リン(P)等の不純物を含むアモルファスシリコンがある。上記高融点金属には、例えば、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)等がある。上記金属シリ

サイドには、例えば、タングステンシリサイド( $\text{WSi}_2$ )、モリブデンシリサイド( $\text{MoSi}_2$ )、チタンシリサイド( $\text{TiSi}_2$ )、コバルトシリサイド( $\text{CoSi}_2$ )、ニッケルシリサイド( $\text{NiSi}$ )等がある。上記金属窒化物には、例えば、窒化タングステン(WN)、窒化タンタル(TaN)、窒化チタン(TiN)等がある。

#### 【0044】

【発明の効果】以上、説明したように本発明によれば、ダミーゲートを用いて酸素をイオン注入した後、熱処理を施すことで、ゲート電極直下に位置する埋め込み酸化膜を、ソース・ドレイン部よりも浅い領域に形成することができるので、ゲート直下の半導体基板からなるSOI活性層が、ソース・ドレイン部が形成される領域の半導体基板からなるSOI活性層よりも自己整合的に薄く形成することができる。その結果、ソース・ドレイン部やエクステンション部の抵抗上昇を抑えることができるとともに、フルデプレッション動作のトランジスタを形成することができる。

#### 【図面の簡単な説明】

【図1】本発明の製造方法に係わる実施の形態を説明する製造工程断面図である。

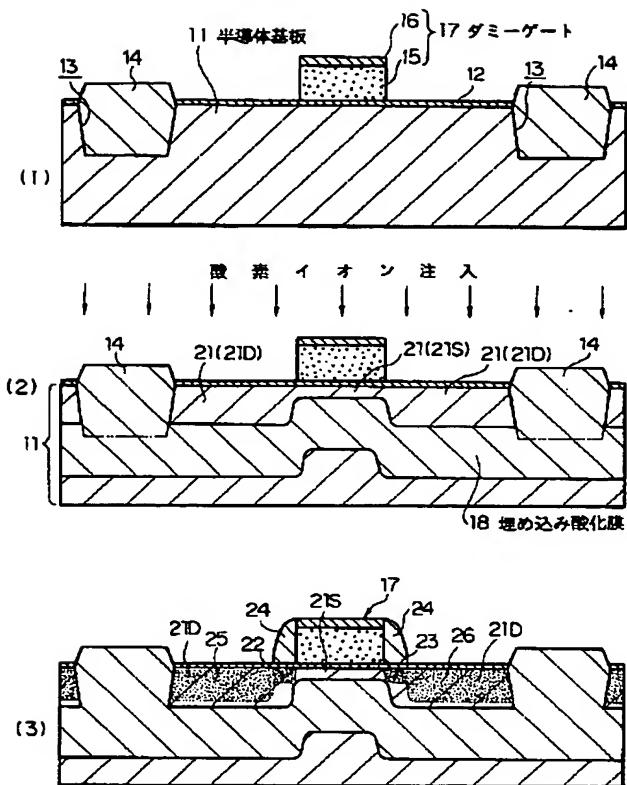
【図2】本発明の製造方法に係わる実施の形態を説明する製造工程断面図(続き)である。

【図3】課題を説明する概略構成断面図である。

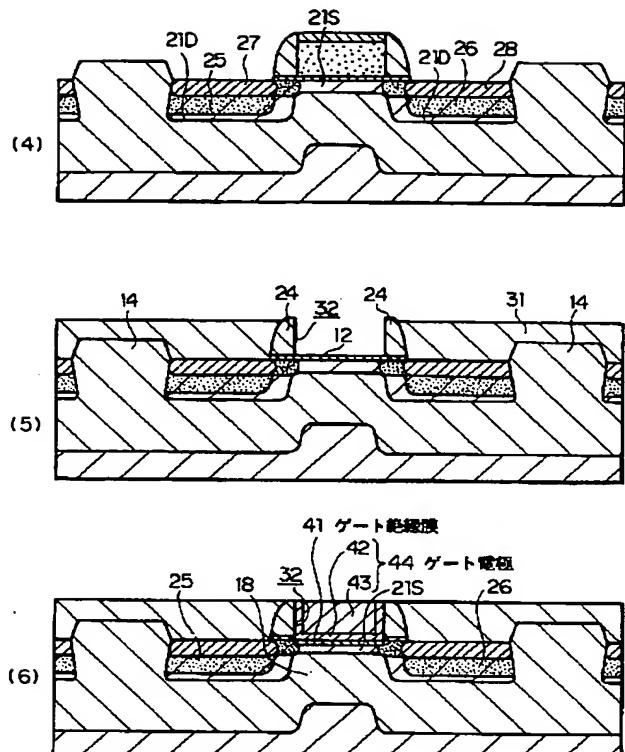
#### 【符号の説明】

11…半導体基板、17…ダミーゲート、18…埋め込み酸化膜、41…ゲート絶縁膜、44…ゲート電極

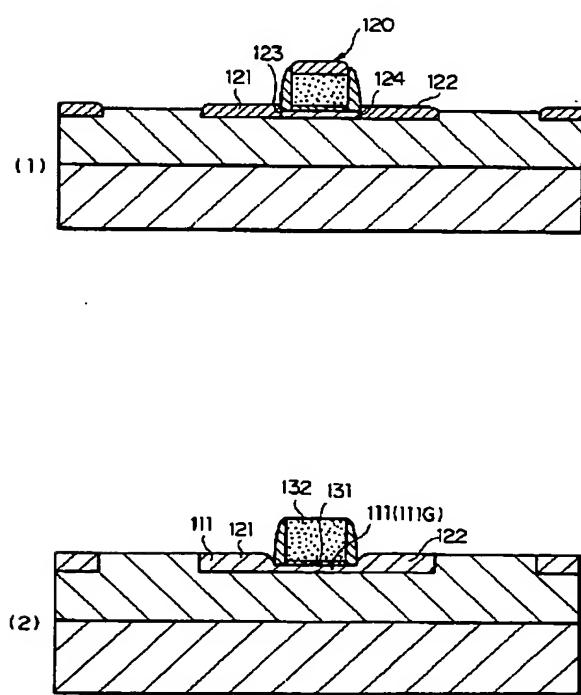
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコト<sup>+</sup> (参考)

H 0 1 L 29/78

6 1 7 J

F ターム(参考) 5F032 AA07 AA34 AA44 AA77 DA02  
DA33 DA53 DA60  
5F110 AA03 AA30 CC02 DD05 DD13  
DD24 DD25 EE01 EE04 EE05  
EE08 EE09 EE14 EE32 EE45  
EE50 FF01 FF02 FF03 FF04  
GG02 GG12 GG22 GG35 HJ13  
HK05 HK33 HK40 HK41 HM15  
NN62 NN65 NN80 QQ04 QQ05  
QQ11 QQ19 QQ30